

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Kazuya ONO

Serial No. (unknown)

Filed herewith

SERIAL COMMUNICATION DEVICE
AND METHOD OF CARRYING OUT
SERIAL COMMUNICATION



**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's corresponding patent application filed in Japan, on 11 october 2000, under No. 2000-310113.

Applicant herewith claims the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

Robert J. Patch
Attorney for Applicant
Customer No. 000466
Registration No. 17,355
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

October 11, 2001

A319

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC978 U.S. PTO
09/973795



Handwritten mark resembling a stylized 'S' or 'J'.

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月11日

出 願 番 号

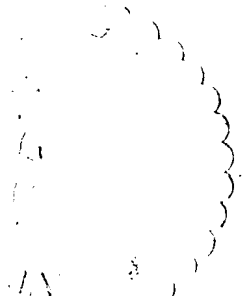
Application Number:

特願2000-310113

出 願 人

Applicant(s):

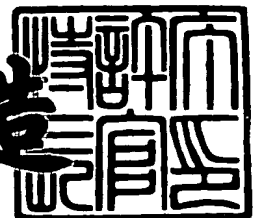
日本電気株式会社



2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3077538

【書類名】 特許願

【整理番号】 40410514

【提出日】 平成12年10月11日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 29/08

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号
 日本電気株式会社内

 【氏名】 小野 和也

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100097113

 【弁理士】

 【氏名又は名称】 堀 城之

【手数料の表示】

 【予納台帳番号】 044587

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9708414

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアル通信装置およびシリアル通信方法

【特許請求の範囲】

【請求項 1】 パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信装置であって、

前記パラレルバスからのパラレルデータをシリアルデータに変換するパラレル・シリアル変換手段と、

該パラレル・シリアル変換手段により変換された前記シリアルデータに誤り訂正符号を付加するチェックビット生成手段とを具備することを特徴とするシリアル通信装置。

【請求項 2】 前記パラレルバスからの前記パラレルデータを予め定められた所定 b i t に多重化して前記パラレル・シリアル変換手段に送信するパラレルバスインタフェース手段を具備し、

前記パラレル・シリアル変換手段は、前記所定 b i t 毎に前記パラレルデータを前記シリアルデータに変換させ、

前記チェックビット生成手段は、前記パラレル・シリアル変換手段により変換された前記所定 b i t の前記シリアルデータ毎に前記誤り訂正符号を付加させることを特徴とする請求項 1 記載のシリアル通信装置。

【請求項 3】 パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信装置であって、

前記シリアルバスからのシリアルデータをパラレルデータに変換するシリアル・パラレル変換手段と、

該シリアル・パラレル変換手段による前記シリアルデータから前記パラレルデータへの変換時に前記シリアルデータに付加されている誤り訂正符号をチェックしてエラー検出を行うエラー検出手段とを具備することを特徴とするシリアル通信装置。

【請求項 4】 前記エラー検出手段により前記誤り訂正符号のエラーが検出された際にエラー訂正を行うエラー訂正手段を具備することを特徴とする請求項 3 記載のシリアル通信装置。

【請求項 5】 前記エラー訂正手段は、前記エラー検出手段により検出された前記誤り訂正符号のエラーが 1 b i t エラーの際に前記エラー訂正を行い、前記エラー検出手段により検出された前記誤り訂正符号のエラーが 2 b i t エラーの際には、該当するアクセスを放棄させることを特徴とする請求項 3 又は 4 記載のシリアル通信装置。

【請求項 6】 パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信装置であって、

前記パラレルバスからのパラレルデータをシリアルデータに変換するパラレル・シリアル変換手段と、

該パラレル・シリアル変換手段により変換された前記シリアルデータに誤り訂正符号を付加するチェックビット生成手段と、

前記シリアルバスからの前記シリアルデータを前記パラレルデータに変換するシリアル・パラレル変換手段と、

該シリアル・パラレル変換手段による前記シリアルデータから前記パラレルデータへの変換時に前記シリアルデータに付加されている前記誤り訂正符号をチェックしてエラー検出を行うエラー検出手段とを具備することを特徴とするシリアル通信装置。

【請求項 7】 パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信方法であって、

前記パラレルバスからのパラレルデータをシリアルデータに変換し、

該変換した前記シリアルデータに誤り訂正符号を付加することを特徴とするシリアル通信方法。

【請求項 8】 前記パラレルバスからの前記パラレルデータを予め定められた所定 b i t に多重化して送信し、

前記所定 b i t 毎に前記パラレルデータを前記シリアルデータに変換し、

該変換した前記所定 b i t の前記シリアルデータ毎に前記誤り訂正符号を付加することを特徴とする請求項 7 記載のシリアル通信方法。

【請求項 9】 パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信方法であって、

前記シリアルバスからのシリアルデータをパラレルデータに変換し、

前記シリアルデータから前記パラレルデータへの変換時に前記シリアルデータに付加されている誤り訂正符号をチェックしてエラー検出を行うことを特徴とするシリアル通信方法。

【請求項 1 0】 前記誤り訂正符号のエラーが検出された際にエラー訂正を行うことを特徴とする請求項 9 記載のシリアル通信方法。

【請求項 1 1】 前記誤り訂正符号のエラーが 1 b i t エラーの際には、前記エラー訂正を行い、

前記誤り訂正符号のエラーが 2 b i t エラーの際には、該当するアクセスを放棄することを特徴とする請求項 9 又は 1 0 記載のシリアル通信方法。

【請求項 1 2】 パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信方法であって、

前記パラレルバスからのパラレルデータをシリアルデータに変換し、

該変換した前記シリアルデータに誤り訂正符号を付加し、

前記シリアルバスからの前記シリアルデータを前記パラレルデータに変換し、

前記シリアルデータから前記パラレルデータへの変換時に前記シリアルデータに付加されている前記誤り訂正符号をチェックしてエラー検出を行うことを特徴とするシリアル通信方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、プロセッサの 2 重化方式においてメモリの 2 重化交絡に用いるシリアル通信装置およびシリアル通信方法に関し、特にパラレルバスと同等の信頼性を有するシリアル通信装置およびシリアル通信方法に関する。

【 0 0 0 2 】

【従来の技術】

図 3 は、従来の 2 重化交絡における通信の構成を示すブロック図である。

従来、2 重化交絡における通信は、図 3 に示すように、自系パラレルバスコントローラ 1 0 と他系パラレルバスコントローラ 1 2 との間に設けられている 3 2

b i t アドレスバス 1 3 および 3 2 b i t データバス 1 4 により行われるのが一般的である。

【 0 0 0 3 】

またパラレルバス、すなわち 3 2 b i t アドレスバス 1 3 および 3 2 b i t データバス 1 4 におけるエラー検出は、自系パラレルバスコントローラ 1 0 と他系パラレルバスコントローラ 1 2 との間に設けられている 5 b i t パリティ 1 5 によって行われるのが一般的である。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかしながら、従来技術では、パラレルバスの信号線の本数が多く、多数のバッファ回路 1 1 が必要であるため、コストがかかると同時に、製造時の不良が発生する可能性が大きいという問題があった。

【 0 0 0 5 】

また、パラレルバスの代わりにシリアルバスを用いた場合には、コストダウンと製造時の不良発生率の低減とを実現できるが、通信時のビットエラーが発生するため、パラレルバスと同等の信頼性を得ることができないという問題があった。

【 0 0 0 6 】

本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、2 重化交絡においてシリアルバスを用いて部品数を減らすことにより、コストダウンと製造時の不良発生率の低減とを実現できると共に、シリアルバスを用いるにも拘わらず、パラレルバスと同等の信頼性を実現することができるシリアル通信装置およびシリアル通信方法を提供する点にある。

【 0 0 0 7 】

【課題を解決するための手段】

本発明は上記課題を解決すべく、以下に掲げる構成とした。

請求項 1 記載の発明の要旨は、パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信装置であって、前記パラレルバスからのパラレルデータをシリアルデータに変換するパラレル・シリアル変換手段と、該パラレル・シリ

アル変換手段により変換された前記シリアルデータに誤り訂正符号を付加するチェックビット生成手段とを具備することを特徴とするシリアル通信装置に存する。

また請求項 2 記載の発明の要旨は、前記パラレルバスからの前記パラレルデータを予め定められた所定 b i t に多重化して前記パラレル・シリアル変換手段に送信するパラレルバスインタフェース手段を具備し、前記パラレル・シリアル変換手段は、前記所定 b i t 毎に前記パラレルデータを前記シリアルデータに変換させ、前記チェックビット生成手段は、前記パラレル・シリアル変換手段により変換された前記所定 b i t の前記シリアルデータ毎に前記誤り訂正符号を付加させることを特徴とする請求項 1 記載のシリアル通信装置に存する。

また請求項 3 記載の発明の要旨は、パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信装置であって、前記シリアルバスからのシリアルデータをパラレルデータに変換するシリアル・パラレル変換手段と、該シリアル・パラレル変換手段による前記シリアルデータから前記パラレルデータへの変換時に前記シリアルデータに付加されている誤り訂正符号をチェックしてエラー検出を行うエラー検出手段とを具備することを特徴とするシリアル通信装置に存する。

また請求項 4 記載の発明の要旨は、前記エラー検出手段により前記誤り訂正符号のエラーが検出された際にエラー訂正を行うエラー訂正手段を具備することを特徴とする請求項 3 記載のシリアル通信装置に存する。

また請求項 5 記載の発明の要旨は、前記エラー訂正手段は、前記エラー検出手段により検出された前記誤り訂正符号のエラーが 1 b i t エラーの際に前記エラー訂正を行い、前記エラー検出手段により検出された前記誤り訂正符号のエラーが 2 b i t エラーの際には、該当するアクセスを放棄させることを特徴とする請求項 3 又は 4 記載のシリアル通信装置に存する。

また請求項 6 記載の発明の要旨は、パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信装置であって、前記パラレルバスからのパラレルデータをシリアルデータに変換するパラレル・シリアル変換手段と、該パラレル・シリアル変換手段により変換された前記シリアルデータに誤り訂正符号を付加す

るチェックビット生成手段と、前記シリアルバスからの前記シリアルデータを前記パラレルデータに変換するシリアル・パラレル変換手段と、該シリアル・パラレル変換手段による前記シリアルデータから前記パラレルデータへの変換時に前記シリアルデータに付加されている前記誤り訂正符号をチェックしてエラー検出を行うエラー検出手段とを具備することを特徴とするシリアル通信装置に存する。

また請求項 7 記載の発明の要旨は、パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信方法であって、前記パラレルバスからのパラレルデータをシリアルデータに変換し、該変換した前記シリアルデータに誤り訂正符号を付加することを特徴とするシリアル通信方法に存する。

また請求項 8 記載の発明の要旨は、前記パラレルバスからの前記パラレルデータを予め定められた所定 `bit` に多重化して送信し、前記所定 `bit` 毎に前記パラレルデータを前記シリアルデータに変換し、該変換した前記所定 `bit` の前記シリアルデータ毎に前記誤り訂正符号を付加することを特徴とする請求項 7 記載のシリアル通信方法に存する。

また請求項 9 記載の発明の要旨は、パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信方法であって、前記シリアルバスからのシリアルデータをパラレルデータに変換し、前記シリアルデータから前記パラレルデータへの変換時に前記シリアルデータに付加されている誤り訂正符号をチェックしてエラー検出を行うことを特徴とするシリアル通信方法に存する。

また請求項 10 記載の発明の要旨は、前記誤り訂正符号のエラーが検出された際にエラー訂正を行うことを特徴とする請求項 9 記載のシリアル通信方法に存する。

また請求項 11 記載の発明の要旨は、前記誤り訂正符号のエラーが `1 bit` エラーの際には、前記エラー訂正を行い、前記誤り訂正符号のエラーが `2 bit` エラーの際には、該当するアクセスを放棄することを特徴とする請求項 9 又は 10 記載のシリアル通信方法に存する。

また請求項 12 記載の発明の要旨は、パラレルバスとシリアルバスとの間のバスブリッジを行うシリアル通信方法であって、前記パラレルバスからのパラレル

データをシリアルデータに変換し、該変換した前記シリアルデータに誤り訂正符号を付加し、前記シリアルバスからの前記シリアルデータを前記パラレルデータに変換し、前記シリアルデータから前記パラレルデータへの変換時に前記シリアルデータに付加されている前記誤り訂正符号をチェックしてエラー検出を行うことを特徴とするシリアル通信方法に存する。

【 0 0 0 8 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【 0 0 0 9 】

図 1 は、本発明に係るシリアル通信装置の実施の形態の構成を示すブロック図である。

【 0 0 1 0 】

図 1 を参照すると、本実施の形態は、32bit アドレスバスおよび32bit データバスを含むパラレルバス1に接続されているバスブリッジ回路8と、バスブリッジ回路8とシリアルバス5とに接続されているパラレル・シリアル変換回路4と、シリアルバス5とバスブリッジ回路8とに接続されているシリアル・パラレル変換回路6とからなる。

【 0 0 1 1 】

バスブリッジ回路8は、パラレルバス1に接続されているパラレルバスインタフェース回路2と、パラレル・シリアル変換回路4に接続されているパラレル・シリアルインタフェース回路3と、シリアル・パラレル変換回路6に接続されているシリアル・パラレルインタフェース回路7と、パラレルバスインタフェース回路2とパラレル・シリアルインタフェース回路3およびシリアル・パラレルインタフェース回路7とをそれぞれ接続する8bit データ多重バス9とからなる。

【 0 0 1 2 】

パラレルバスインタフェース回路2は、パラレルバス1とのインタフェース機能を有し、送信時には、パラレルバス1からの32bit のアドレス、データおよびコマンドを8bit (1byte) 毎のデータ多重バス9に多重化して出力

することでパラレル・シリアルインタフェース回路3に転送し、受信時には、データ多重バス9からの1byte毎の多重化データを32bitのアドレス、データおよびコマンドとしてパラレルバス1に出力する。

【0013】

パラレル・シリアルインタフェース回路3は、シリアルデータへの送信側インタフェース機能と、ECC (Error Correcting Code) チェックビット生成機能とを有し、パラレルバスインタフェース回路2からアドレス、データおよびコマンドを1byteずつ受信し、1byte転送する毎にアドレス、データおよびコマンドのECCチェックビットを生成し、各々1byte転送後、各byteに対応したECCチェックビットを付加してパラレル・シリアル変換回路4に出力する。なお、ECCチェックビットは、シリアル通信方式の誤り訂正符号である。

【0014】

パラレル・シリアル変換回路4は、パラレルデータをシリアルデータに変換する機能を有し、パラレル・シリアルインタフェース回路3からの1byteずつのパラレルデータをシリアルデータに変換してシリアルバス5に出力する。

【0015】

シリアル・パラレル変換回路6は、シリアルデータをパラレルデータに変換する機能を有し、シリアルバス5からのシリアルデータを1byteずつのパラレルデータに変換してシリアル・パラレルインタフェース回路7に出力する。

【0016】

シリアル・パラレルインタフェース回路7は、ECCチェックビット検出および訂正機能と、パラレルデータへの受信側インタフェース機能とを有し、アドレス、データおよびコマンドのECCチェックビット検出を行うことによりエラー検出を行うと共にエラー訂正を行い、シリアル・パラレル変換回路6からの1byteデータを32bitアドレス、データおよびコマンドに変換して8bit (1byte) ずつデータ多重バス9に多重化して出力する。

【0017】

シリアル・パラレルインタフェース回路7は、受信時、シリアルデータをパラ

レルデータに変換した後、アドレス、データおよびコマンドのECCチェックビット検出を行うことによりエラー検出を行い、ECC 1 b i tエラーが発生した場合には、エラー訂正を行い、ECC 2 b i tエラーが発生した場合、該当するアクセスを破棄する。

【0018】

次に、実施の形態の動作について図2を参照して詳細に説明する。

図2は、本発明に係るシリアル通信装置の実施の形態の動作を説明するためのタイムチャートである。

【0019】

送信時、パラレルバス1からの32 b i tのアドレス、データおよびコマンドがパラレルバスインタフェース回路2において8 b i t毎のデータ多重バス9に多重され、パラレル・シリアルインタフェース回路3へ転送される。

【0020】

パラレル・シリアルインタフェース回路3では、ECCチェックビット生成機能により、1 b y t eずつ入力されるアドレス、データおよびコマンドに対して、1 b y t e転送する毎にECCチェックビットを付加する。

【0021】

ECCチェックビットが付加された1 b y t e毎のデータはパラレル・シリアル変換回路4に供給された後、シリアルデータに変換されシリアルバス5へ転送される。

【0022】

受信時、シリアルバス5からのアドレス、データおよびコマンドはシリアル・パラレル変換回路6に供給され、1 b y t eのパラレルデータに変換され、変換された1 b y t eのパラレルデータがシリアル・パラレルインタフェース回路7に供給される。

【0023】

シリアル・パラレルインタフェース回路7は、シリアル・パラレル変換回路6からの1 b y t eずつのシリアルデータを32 b i tアドレス、データおよびコマンドに変換して8 b i t (1 b y t e) 毎のデータ多重バス9に多重化して出

力する。

【 0 0 2 4 】

またシリアル・パラレルインタフェース回路 7 では、ECC チェックビット検出および訂正機能により、アドレス、データおよびコマンドを 1 b y t e 転送する毎に付加されている ECC チェックビットの検出および訂正を行い、ECC 1 b i t エラーが発生した場合には、エラー訂正を行い、ECC 2 b i t エラーが発生した場合、該当するアクセスを破棄する。

【 0 0 2 5 】

シリアル・パラレルインタフェース回路 7 からの 3 2 b i t アドレス、データおよびコマンドは、パラレルバスインタフェース回路 2 に供給され、パラレルバス 1 へ転送される。

【 0 0 2 6 】

図 2 を参照すると、パラレル・シリアルインタフェース回路 3 におけるアドレス、データおよびコマンドに対する ECC チェックビット生成の動作は、図 2 に示したタイミングで、コマンド、アドレスおよびデータを各々 1 b y t e 転送後、各バイトに対応した ECC チェックビットを付加し、シリアル・パラレルインタフェース回路 7 における、受信時のアドレス、データおよびコマンドに対する ECC チェックビット検出の動作についても図 2 に示したタイミングで実行される。

【 0 0 2 7 】

以上説明したように、本実施の形態によれば、2 重化交絡においてシリアルバスを用いることで、信号線の本数、バスドライバおよびバスレシーバ等の部品数を減らすことができるため、コストダウンと製造時の不良発生率の低減とを実現できると共に、シリアルバスを用いるにも拘わらず、パラレルバスと同等の信頼性を実現することができるという効果を奏する。

【 0 0 2 8 】

なお、本実施の形態の基本的構成は上述の通りであるが、上述の構成は如何なる仕様のパラレルバスおよびシリアルバスにおいても適用可能であることは言うまでもない。

【 0 0 2 9 】

なお、本発明が上記各実施形態に限定されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。なお、各図において、同一構成要素には同一符号を付している。

【 0 0 3 0 】

【発明の効果】

本発明のシリアル通信装置およびシリアル通信方法は、2重化交絡においてシリアルバスを用いることで、信号線の本数、バสดライバおよびバスレシーバ等の部品数を減らすことができるため、コストダウンと製造時の不良発生率の低減とを実現できると共に、シリアルバスを用いるにも拘わらず、パラレルバスと同等の信頼性を実現することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明に係るシリアル通信装置の実施の形態の構成を示すブロック図である。

【図 2】

本発明に係るシリアル通信装置の実施の形態の動作を説明するためのタイムチャートである。

【図 3】

従来の2重化交絡における通信の構成を示すブロック図である。

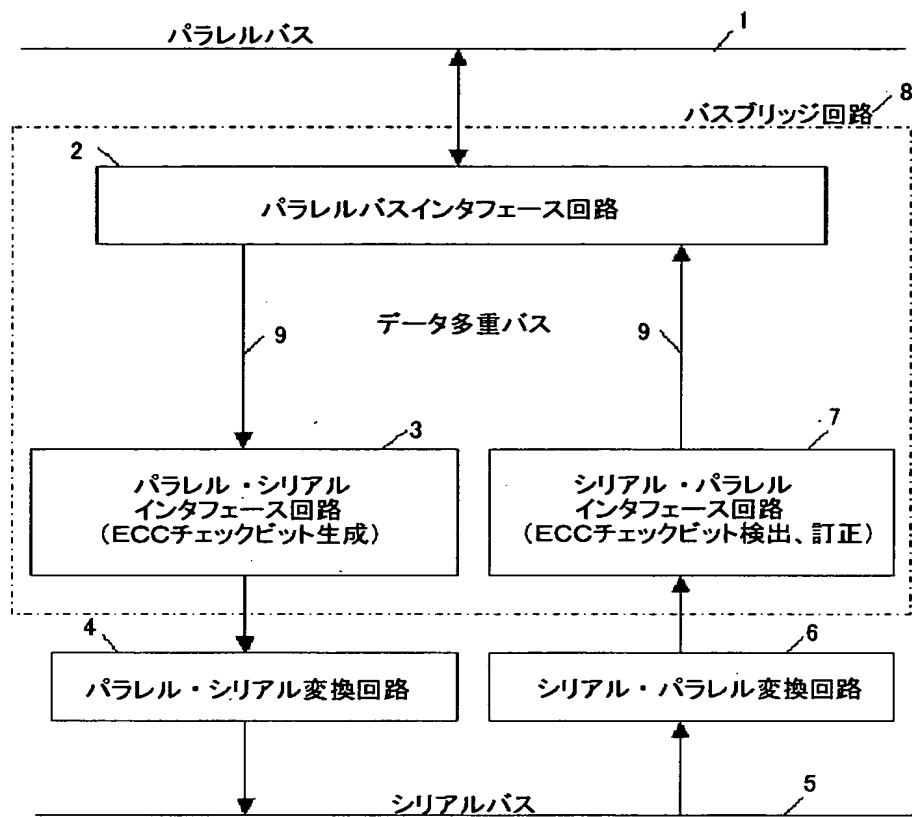
【符号の説明】

- 1 パラレルバス
- 2 パラレルバスインタフェース回路
- 3 パラレル・シリアルインタフェース回路
- 4 パラレル・シリアル変換回路
- 5 シリアルバス
- 6 シリアル・パラレル変換回路
- 7 シリアル・パラレルインタフェース回路

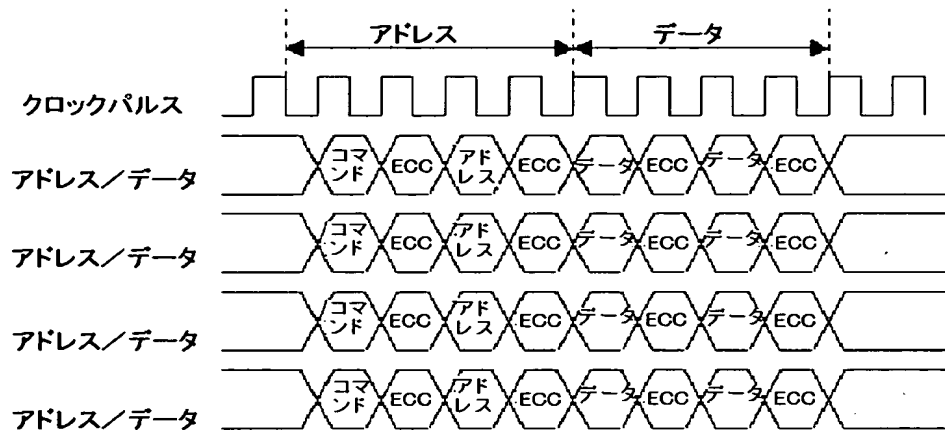
- 8 バスブリッジ回路
- 9 データ多重バス
- 1 0 自系パラレルバスコントローラ
- 1 1 バッファ回路
- 1 2 他系パラレルバスコントローラ
- 1 3 アドレスバス
- 1 4 データバス
- 1 5 パリティ

【書類名】 図面

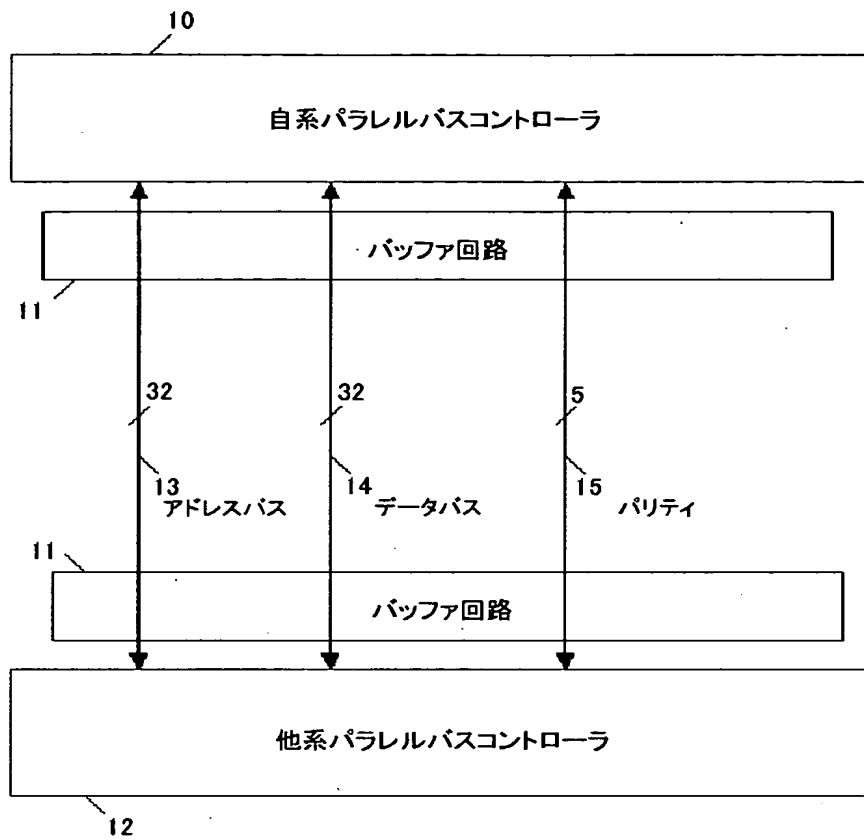
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 本発明は、シリアルバスを用いるにも拘わらず、パラレルバスと同等の信頼性を実現することができるシリアル通信装置およびシリアル通信方法を提供することを課題とする。

【解決手段】 パラレル・シリアルインタフェース回路 3 は、シリアルデータへの送信側インタフェース機能と、ECCチェックビット生成機能とを有し、1 byte 転送する毎にアドレス、データおよびコマンドのECCチェックビットを生成し、各々1 byte 転送後、各 byte に対応したECCチェックビットを付加してパラレル・シリアル変換回路 4 に出力する。また、シリアル・パラレルインタフェース回路 7 は、ECCチェックビット検出および訂正機能と、パラレルデータへの受信側インタフェース機能とを有し、アドレス、データおよびコマンドのECCチェックビット検出を行うことによりエラー検出を行うと共にエラー訂正を行う。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社